

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-110349

(43)Date of publication of application : 30.04.1993

(51)Int.Cl.

H03F 3/21

H03F 3/30

H03F 3/68

(21)Application number : 03-267384

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 16.10.1991

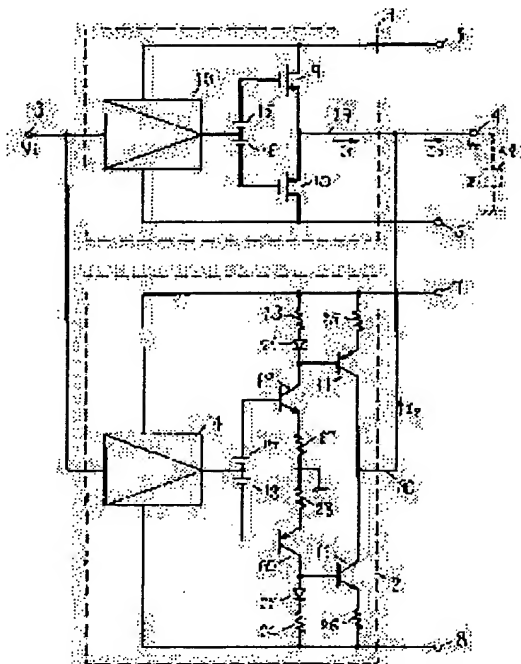
(72)Inventor : JIKOU HIDEYASU  
NAKAGAWA YOSHIMICHI

## (54) AUDIO POWER AMPLIFIER

### (57)Abstract:

**PURPOSE:** To reduce the power loss and cost by synthesizing an output of a 1st amplifier whose output stage employs a MOSFET with a constant voltage output and an output of a 2nd amplifier whose output stage employs a bipolar transistor (TR) with a constant current output.

**CONSTITUTION:** An output 29 of a constant voltage output amplifier 1 whose output stage employs MOSFETs 9,10 and an output 30 of a constant voltage output amplifier 2 whose output stage employs bipolar TRs 11,12 are synthesized and led to an output terminal 4, and the a constant voltage output amplifier 1 controls a voltage at the output terminal 4 and the a constant voltage output amplifier 2 supplies a current to a load. In this case, the 1st amplifier 1 controls only the voltage at the output terminal and no large current is required to be outputted from the MOSFETs 9,10 at the output stage, then the chip size of the MOSFETs 9,10 at the output stage is enough to be small resulting in reducing the cost. Moreover, since a saturation voltage of the output stage results from the bipolar TRs 11,12 of the output stage of the amplifier 2, the power loss of the output stage is less than that of an audio power amplifier whose output stage employs MOSFETs.



## LEGAL STATUS

[Date of request for examination] 13.03.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3170824

[Date of registration] 23.03.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(51)Int.Cl.<sup>5</sup>

H03F 3/21

3/30

3/68

識別記号

庁内整理番号

8836-5J

8836-5J

B 7328-5J

FI

技術表示箇所

審査請求 未請求 請求項の数4(全9頁)

(21)出願番号

特願平3-267384

(22)出願日

平成3年(1991)10月16日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 慈幸 秀保

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 中川 善路

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

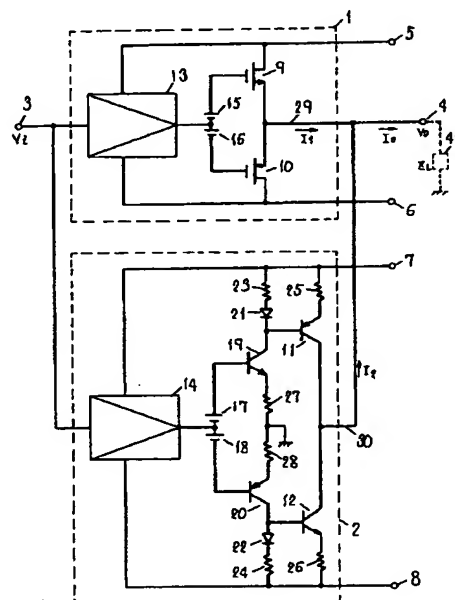
(74)代理人 弁理士 小鍛冶 明 (外2名)

(54)【発明の名称】 オーディオ電力増幅器

(57)【要約】

【目的】 本発明はオーディオ電力増幅器に関するもので、MOS形FETとバイポーラトランジスタのそれぞれの長所を生かし、音質の優れたオーディオ電力増幅器を提供することを目的とする。

【構成】 出力段がMOS形FET9、10の定電圧出力増幅器1の出力29と、出力段がバイポーラトランジスタ11、12の定電流出力増幅器2の出力30を合成し出力端4とし、出力端4の電圧制御を定電圧出力増幅器1により行い、負荷への電流供給を定電流出力増幅器2により行う。



## 【特許請求の範囲】

【請求項1】出力段がMOS形FETで定電圧出力の第1の増幅器と、出力段がバイポーラトランジスタで定電流出力の第2の増幅器を備え、第1の増幅器と第2の増幅器のそれぞれの出力を合成した出力端を備えたことを特徴とするオーディオ電力増幅器。

【請求項2】第1の増幅器を差動入力とし、入力信号を第1の増幅器の非反転入力に投入し、出力端の電圧を第1の増幅器の反転入力に負帰還したことを特徴とする請求項1記載のオーディオ増幅器。

【請求項3】入力信号を等化器を通過させ第2の増幅器の入力に接続したことを特徴とする請求項1および請求項2記載のオーディオ電力増幅器。

【請求項4】出力端を通過する電流を第2の増幅器の入力にループ利得1で正帰還したことを特徴とする請求項1および請求項2記載のオーディオ電力増幅器。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、オーディオ電力増幅器に関するものである。

【0002】

【従来の技術】近年出力段にMOS形FETを使用したオーディオ電力増幅器が数多くなってきている。MOS形FETは伝送特性が2乗特性、オーディオ周波数帯域における入力インピーダンスが大きいなど優れた特性を持ち、出力段にMOS形FETを使用したオーディオ電力増幅器は優れた音質が実現できるとされている。

【0003】以下図面を参照しながら、上述した出力段にMOS形FETを使用した従来のオーディオ電力増幅器の一例について説明する。

【0004】図6は出力段にMOS形FETを使用した従来のオーディオ電力増幅器の基本構成の一例を示すものである。図6において3は入力端、4は出力端、5、6は電源である。9、10は出力段のMOS形FETであり、コンプリメンタリでシングルエンデッドプッシュプル（以下SEPP）構成している。13は差動入力の前段増幅器で、32が非反転入力、33が反転入力である。31は負帰還回路で、出力端4から前段増幅器13の反転入力33に負帰還している。このような構成で前段増幅器13の利得を $A_1$ 、負帰還回路31の利得を $\beta$ とし、入力端3に $V_i$ を入力したときの出力端4の電圧 $V_o$ は、

【0005】

【数1】

$$V_o = \frac{A_1}{1 + A_1 \cdot \beta} \cdot V_i$$

【0006】ここで $1 \ll A_1 \cdot \beta$ とすると、

【0007】

【数2】

$$V_o = \frac{1}{\beta} \cdot V_i$$

【0008】となる。このとき出力端4に負荷 $Z_L$ を接続しこのインピーダンスを $Z_L$ とすると、負荷への供給電流 $I_o$ は、

【0009】

【数3】

$$I_o = \frac{V_o}{Z_L} = \frac{1}{\beta \cdot Z_L} \cdot V_i$$

【0010】となり、この電流は全て出力段のMOS形FET9、10より供給される。

20 【0011】

【発明が解決しようとする課題】以上のように出力段にMOS形FETを使用した従来のオーディオ電力増幅器では、負荷への電流供給のため出力段のMOS形FETには大電流が流れる。大電流を流す場合MOS形FETはバイポーラトランジスタに比べ、コストが高い、飽和電圧が大きく電力損失が大きくなる等の欠点がある。

【0012】本発明は上記従来の欠点に鑑みて、出力段がMOS形FETの従来のオーディオ電力増幅器の優れた音質を生かし、かつ電力損失が小さく、コストが安価なオーディオ電力増幅器を提供することを目的とするものである。

【0013】

【課題を解決するための手段】上記課題を解決するため本発明のオーディオ電力増幅器は、出力段がMOS形FETで定電圧出力の第1の増幅器と、出力段がバイポーラトランジスタで定電流出力の第2の増幅器を備え、第1の増幅器と第2の増幅器のそれぞれの出力を合成した構成としている。

【0014】

40 【作用】本発明は上記した構成によって、負荷への電流供給は第2の増幅器の出力段のバイポーラトランジスタより行い、第1の増幅器は出力端の電圧制御を行うだけで、出力段のMOS形FETは大電流を出力する必要がなくなる。このため出力段のMOS形FETのチップサイズは小さくてすみコストが低減される。また出力段の飽和電圧は第2の増幅器の出力段のバイポーラトランジスタのものとなるため、出力段がMOS形FETの従来のオーディオ電力増幅器に比べ電力損失が小さくなる。

【0015】

50 【実施例】以下本発明の実施例について、図1を参照し

ながら詳細に説明する。図1は本発明の第1の実施例におけるオーディオ電力増幅器の基本構成を示すものである。図1において、1は定電圧出力の第1の増幅器、2は定電流出力の第2の増幅器、3は入力端、4は出力端、5、6、7、8は電源である。13は第1の増幅器の前段増幅器、9、10は第1の増幅器の出力段のMOS形FETでコンプリメンタリのSEPP構成としている。14は第2の増幅器の前段増幅器、19、20は第2の増幅器の電圧-電流変換のバイポーラトランジスタ、11、12は同じく第2の増幅器の出力段のバイポーラトランジスタでコンプリメンタリのプッシュプル構成としている。29は第1の増幅器の出力、30は第2の増幅器の出力である。

【0016】以上のように構成されたオーディオ電力増幅器について、以下その動作について説明する。まず第1の増幅器1の電圧利得をAとし、入力端3に $V_i$ を入力したとすると、出力端4の電圧 $V_o$ は、

【0017】

【数4】

$$V_o = A \cdot V_i$$

【0018】ここで出力端4に負荷42を接続しそのインピーダンスを $Z_L$ としたとき、負荷に供給する電流 $I_o$ は、

【0019】

【数5】

$$I_o = \frac{V_o}{Z_L} = \frac{A}{Z_L} \cdot V_i$$

【0020】また第2の増幅器2の相互コンダクタンスを $g_m$ としたとき、第2の増幅器の出力30の電流 $I_2$ は、

【0021】

【数6】

$$I_2 = g_m \cdot V_i$$

【0022】一方、第1の増幅器の出力29の電流を $I_1$ としたとき、負荷に供給する電流 $I_o$ は、

【0023】

【数7】

$$I_o = I_1 + I_2$$

【0024】したがって、

【0025】

【数8】

$$g_m = \frac{A}{Z_L}$$

【0026】となるよう第2の増幅器2の相互コンダク

タンス $g_m$ を設定すると、

【0027】

【数9】

$$I_o = I_2$$

【0028】よって、

【0029】

【数10】

$$I_1 = 0$$

【0030】となる。以上のように本実施例によれば、負荷への電流供給は第2の増幅器2より行われ、第1の増幅器1は負荷へ電流供給することなく出力端4の電圧制御を行なうことが可能となる。これにより第1の増幅器の出力段のMOS形FET9、10はチップサイズの小さなものが使用でき、コストの低減が図れる。また負荷への電流供給を行う第2の増幅器の出力段はバイポーラトランジスタ11、12で構成されているため、出力段がMOS形FETの従来のオーディオ電力増幅器に比べ飽和電圧が小さく電力損失が小さくなる。

【0031】次に第2の実施例について、図2と図3を参照しながら説明する。図2は本発明の第2の実施例におけるオーディオ電力増幅器の基本構成を示すものである。図2において34は等化器であり、入力端3より等化器34を通じて出力段がバイポーラトランジスタで定電流出力の第2の増幅器2の入力に接続されている。またその他の構成要素は第1の実施例と同じである。

【0032】以上のようなように構成されたオーディオ電力増幅器について、以下その動作を説明する。一般にオーディオ電力増幅器に接続される負荷はスピーカであり、そのインピーダンスは周波数によって変化する。ここで出力端4に接続された負荷42のインピーダンス $Z_L(f)$ が図3に示すような周波数特性をしていたとすると、負荷に供給する電流 $I_o$ は(数3)により当然同じ形の周波数特性を持つことになる。そこで等化器34の利得 $G(f)$ の周波数特性を $Z_L(f)$ の周波数特性と同じに設定し、

【0033】

【数11】

$$G(f) \cdot g_m = \frac{A}{Z_L(f)}$$

【0034】となるよう $G(f)$ および $g_m$ を設定することにより、

【0035】

【数12】

$$I_o = I_2$$

【0036】

【数13】

$$I_1 = 0$$

【0037】となる。以上のように本実施例によれば、周波数によってインピーダンスの変化するスピーカ負荷に対しても、出力段がMOS形FETの第1の増幅器1は、負荷に電流を供給することなく出力端4の電圧制御を行うことが可能となる。

【0038】次に第3の実施例について、図4を参照しながら説明する。図4は本発明の実施例におけるオーディオ電力増幅器の基本構成を示すものである。図4において31は負帰還回路、35は電流検出抵抗、36は電圧検出増幅器である。またその他の構成要素は第1の実施例と同じである。ただし、出力段がMOS形FETで定電圧出力の第1の増幅器1は差動入力で、32が非反転入力、33が反転入力である。本実施例では入力端3を第1の増幅器の非反転入力32に接続し、出力端4の電圧を負帰還回路31により第1の増幅器の反転入力33に負帰還している。また負荷への供給電流を電流検出抵抗35で検出し、電流検出抵抗35の両端電圧を電圧検出増幅器36で増幅し第2の増幅器2に入力することにより、電流正帰還ループを構成している。

【0039】以上のように構成されたオーディオ電力増幅器について、以下その動作を説明する。まず第1の増幅器1の利得を $A_1$ 、負帰還回路31の利得を $\beta$ とし、入力端3に $V_i$ を入力したときの出力端4の電圧 $V_0$ は、

【0040】

【数14】

$$V_0 = \frac{A_1}{1 + A_1 \cdot \beta} \cdot V_i$$

【0041】ここで $1 \ll A_1 \cdot \beta$ とすると、

【0042】

【数15】

$$V_0 = \frac{1}{\beta} \cdot V_i$$

【0043】となり、出力端4の電圧制御は第1の増幅器1により行われる。次に負荷への供給電流 $I_0$ が流れたとき、電流検出抵抗35の抵抗値を $r$ 、電圧検出増幅器36の利得を $H$ とすると、第2の増幅器2の入力電圧 $V_2$ は、

【0044】

【数16】

$$V_2 = I_0 \cdot r \cdot H$$

【0045】となり、第2の増幅器の出力30の電流 $I$

【0046】

【数17】

$$I_2 = V_2 \cdot g_m = I_0 \cdot r \cdot H \cdot g_m$$

【0047】したがって、

【0048】

【数18】

$$r \cdot H \cdot g_m = 1$$

【0049】となるよう設定すれば、

【0050】

【数19】

$$I_0 = I_2$$

【0051】

【数20】

$$I_1 = 0$$

【0052】となる。以上のように本実施例によれば、負荷インピーダンスによって定数設定を変えることなく、第2の増幅器2により負荷に電流を供給することが可能となる。

【0053】さらに第4の実施例について、図5を参照しながら説明する。図5は本発明の第4の実施例におけるオーディオ電力増幅器の基本構成を示すものである。図5において第2の増幅器2を構成する構成要素以外の構成要素は、第1の実施例および第3の実施例と同じである。第2の増幅器2を構成する構成要素14は前段増幅器、11、12は出力段のバイポーラトランジスタ、37、38、39は抵抗である。前段増幅器14と出力段のバイポーラトランジスタ11、12は、一般の定電圧出力の電力増幅器と同じ構成であり、前段増幅器14は差動入力で40が非反転入力、41が反転入力、出力段のバイポーラトランジスタ11、12は、コンプリメンタリのSEPP構成である。そしてこれに抵抗37、38、39を組み合わせることにより、定電流出力の第2の増幅器2を構成している。抵抗39が第2の増幅器の出力30であり、第2の増幅器2の入力は電流検出抵抗35の両端電圧である。すなわち本実施例も第3の実施例と同様に、負荷への供給電流を電流検出抵抗35で検出し第2の増幅器2に入力する電流正帰還ループを構成している。

【0054】以上のように構成されたオーディオ電力増幅器について、以下その動作を説明する。入力端3に $V_i$ を入力したときの出力端4の電圧 $V_0$ は、第3の実施例と同じであり、出力端4の電圧制御は第1の増幅器1により行われる。次に負荷への供給電流 $I_0$ が流れたとき、電流検出抵抗35の抵抗値を $r$ 、抵抗37、38、39の抵抗値をそれぞれ $R_1$ 、 $R_2$ 、 $R_3$ とし、第2の増幅器の前段増幅器14の利得を $A_2$ とすると、第2の増幅器の出力30の電流 $I_2$ は、

【0055】

【数21】

$$I_2 = \frac{r \cdot I_0}{R_3} \cdot \left[ \frac{A_2}{1 + A_2 \cdot \frac{R_1}{R_1 + R_2}} - 1 \right]$$

【0056】となる。ここで  $1 \ll A_2 \cdot R_1 / (R_1 + R_2)$  とすると、

【0057】

【数22】

$$I_2 = \frac{R_2 \cdot r}{R_1 \cdot R_3} \cdot I_0$$

【0058】となる。したがって、

【0059】

【数23】

$$\frac{R_2 \cdot r}{R_1 \cdot R_3} = 1$$

【0060】とすれば、

【0061】

【数24】

$$I_0 = I_2$$

【0062】

【数25】

$$I_1 = 0$$

【0063】となる。以上のように本実施例によれば、負荷インピーダンスによって定数設定を変えることなく、第2の増幅器2により負荷に電流を供給することが可能となり、また第2の増幅器2は、出力段がバイポーラトランジスタの定電圧出力の一般の電力増幅器の構成を利用できるため、簡単に構成できる。

【0064】

【発明の効果】以上のように本発明は、出力段のMOS形FETのチップサイズが小さくてすみコストが低減され、また出力段がMOS形FETの従来のオーディオ電力増幅器に比べ電力損失が小さくなる。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるオーディオ電力増幅器の基本構成図

【図2】本発明の第2の実施例におけるオーディオ電力増幅器の基本構成図

【図3】スピーカ負荷のインピーダンスの周波数特性の

一例を示す図

【図4】本発明の第3の実施例におけるオーディオ電力増幅器の基本構成図

【図5】本発明の第4の実施例におけるオーディオ電力増幅器の基本構成図

【図6】出力段がMOS形FETの従来のオーディオ電力増幅器の基本構成の一例を示す図

【符号の説明】

1 第1の増幅器

2 第2の増幅器

3 入力端

4 出力端

5 電源

6 電源

7 電源

8 電源

9 出力段のMOS形FET

10 出力段のMOS形FET

11 出力段のバイポーラトランジスタ

12 出力段のバイポーラトランジスタ

30 13 前段増幅器

14 前段増幅器

15 出力段のバイアス

16 出力段のバイアス

17 出力段のバイアス

18 出力段のバイアス

19 電圧-電流変換トランジスタ

20 電圧-電流変換トランジスタ

21 ダイオード

22 ダイオード

40 23 抵抗

24 抵抗

25 抵抗

26 抵抗

27 抵抗

28 抵抗

29 第1の増幅器の出力

30 第2の増幅器の出力

31 負帰還回路

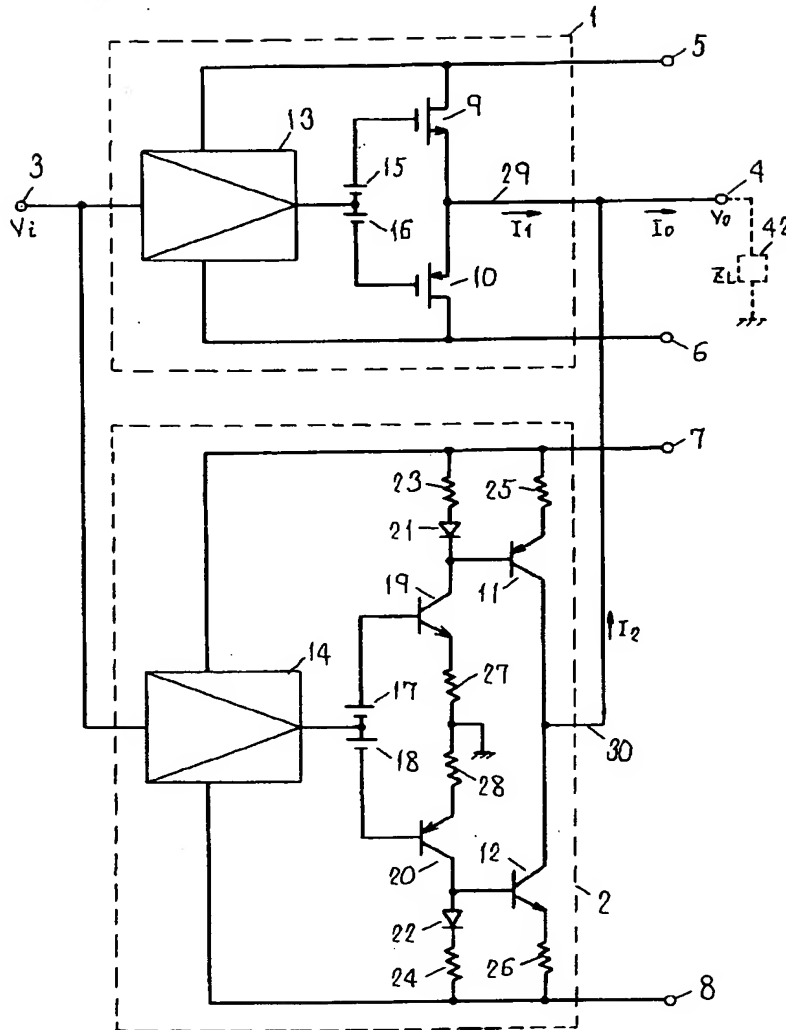
32 第1の増幅器の非反転入力

33 第1の増幅器の反転入力

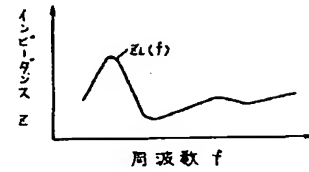
- 34 等化器
- 35 電流検出抵抗
- 36 電圧検出増幅器
- 37 抵抗
- 38 抵抗

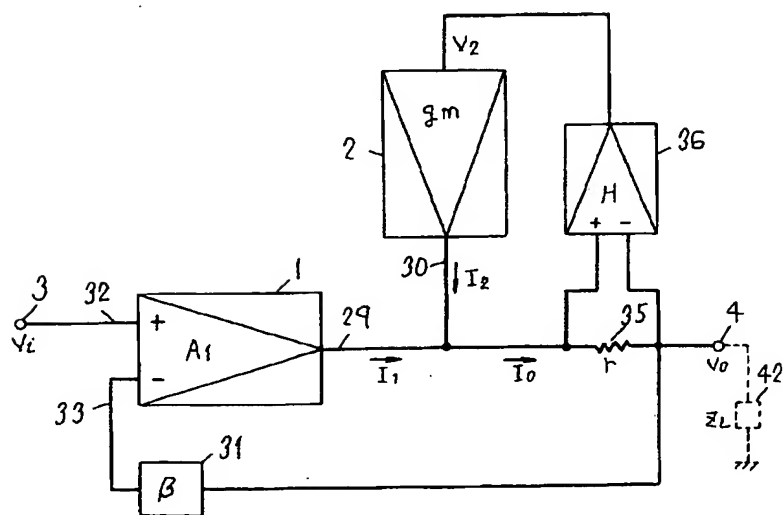
- 39 抵抗
- 40 第2の増幅器の非反転入力
- 41 第2の増幅器の反転入力
- 42 負荷

【図1】



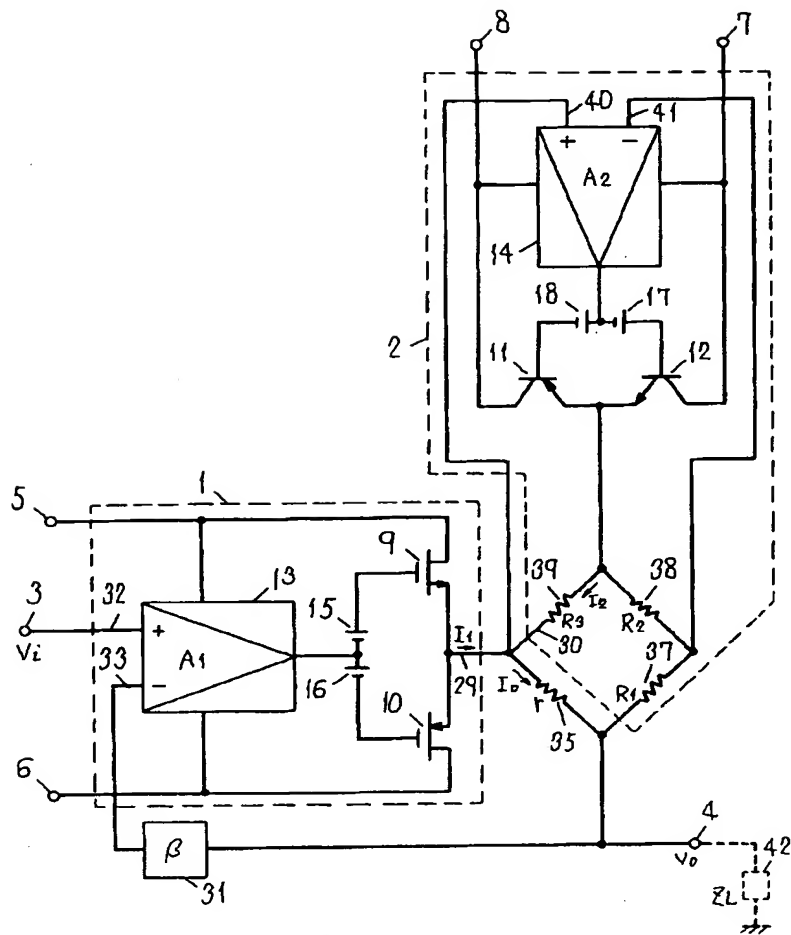
【図3】



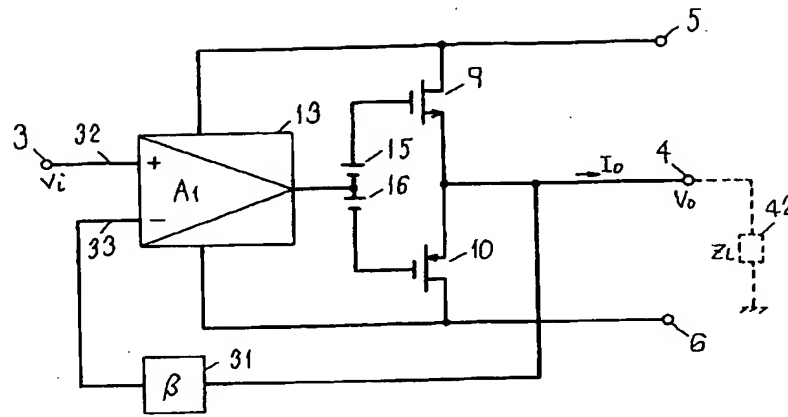




【図 5】



【图6】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**